

esp@cenet document view

Page 1 of 1

INACTIVATION OF PRION

Patent number: JP11049611
Publication date: 1999-02-23
Inventor: KAJIWARA TSUNEO; MATSUO TAKAHITO
Applicant: NIPPON SEIYAKU KK
Classification:
- **International:** A01N43/20
- **European:**
Application number: JP19970273639 19970919
Priority number(s):

Abstract of JP11049611

PROBLEM TO BE SOLVED: To inactivate a prion or attenuate the infectivity thereof by treating, e.g. a protein having physiological activities, characteristics, etc., or a substance containing the protein or the prion contained in, e.g. a protein for a food material with a liquid specific alkenyl oxide.

SOLUTION: A protein, containing a prion as a substance which is an object of treatment mixed therein or having the possibility thereof or a substance containing the protein (e.g. a hormone) is used and treated with a solution like 2-4C alkenyl oxide (preferably ethylene oxide) dissolved in a solvent (e.g. water or solvent containing a lower alcohol or another hydrophilic organic solvent in an amount of ≤ 10 wt.% in water) at -10 to +60 deg.C for 0.5-168 hr, preferably at 15-30 deg.C for 24-96 hr to inactivate the prion or attenuate the infectivity thereof. Furthermore, the physiological activities, characteristics, physical properties, etc., of the protein are retained. The concentration of the alkenyl oxide in the substance which is the object of treatment is preferably ≥ 0.05 vol./vol.%, preferably 0.7-1.5 vol./vol.%.

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 平1-149611

⑫ Int. Cl.⁴
H 03 H 17/08

識別記号 庁内整理番号
6903-5J

⑬ 公開 平成1年(1989)6月12日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 連続可変遅延装置

⑮ 特 願 昭62-309064

⑯ 出 願 昭62(1987)12月7日

⑰ 発 明 者 塩 月 八 重 三 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑱ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑲ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

連続可変遅延装置

2、特許請求の範囲

音楽、音声などのアナログ信号入力手段と、入力されたアナログ信号を1ビットの適応型デルタ変調ディジタル信号に変換するアナログ、ディジタル変調器と、変換されたディジタル信号を一定時間記憶するディジタルメモリと、もとのアナログ信号に変換するディジタル、アナログ変調器と、この遅延された信号の出力手段と、前記ディジタル、アナログ変調器とアナログ、ディジタル変換器のサンプリングを制御するディジタル、アナログ変換器、アナログ、ディジタル変換器の制御部と、ディジタルメモリの書き込み読出しのタイミングを決定するローコラムアドレス制御信号、ディジタルコラムアドレス制御信号、メモリーライトイネーブル制御信号のコントロール部と、書き込みアドレス発生手段と、遅延時間制御信号入力手段と、遅延時間制御信号を入力とする遅延時間に相

当する書き込みアドレスに対するアドレス差を連続的に変化させつつ発生するアップダウンカウンタ手段と、このアップダウンカウンタの制御手段と、このアドレス差を書込みアドレスに加算する全加算器と、前記の各手段の制御のためのクロックを発生するための各クロック発生手段とを備えた連続可変遅延装置。

3、発明の詳細な説明

産業上の利用分野

本発明は、ステレオで録音された2チャンネルの信号を再生する場合に位相差情報に従い連続して位相補正するための可変遅延装置として利用でき、また、遅延信号の一部を入力にフィードバックし、さらに位相差情報を連続大小と繰り返すことで、連続遅延時間変化の残響音創成装置として利用できる連続可変遅延装置に関するものである。

従来の技術

従来例として第4図に示し、以下その動作について説明する。1は遅延される信号の入力端子、2はBBD、3は遅延時間を制御するための入力

特開平1-149611 (2)

端子、4は電圧変換器で、遅延時間制御信号がパルスのデューティ比によって表わされている情報をアナログの電圧情報に変換する。6はこの電圧によって発振周波数の可変する発振周波数可変装置(VCO)、6はBBD2によって遅延された信号を出力する出力端子である。

第6図はBBDの原理を示すもので、入力された信号はCKと \overline{CK} によってアナログ状態で標本化を行なう。さらにCKと \overline{CK} によりBBD内部のコンデンサ系列と、スイッチ列によって順次アナログ信号の状態で伝送される。

この遅延システムの場合、遅延時間は次のように表わされる。ここでBBDの段数を n 段、また、VCOの発振周波数を f とすると、

$$T_d = n \times \frac{1}{f}$$

$$= n \times T \quad (a)$$

である。この f を連続的に可変すれば、可変遅延装置が構成できる。

第6図には従来例の動作時の信号を示す。6-1

の f の高い場合と、長時間遅延時の f の低い場合とでは、遅延された信号のSNや周波数特性が異なる。

さらにBBD遅延素子自体にも問題がある。前述で示したように、アナログ信号のパケットリレーを行なうBBDでは、IC内部にコンデンサ容量が均等で、さらにパターン配線長も等しく、スイッチの速度も同一であるものを製造することは非常に困難であるが、忠実に信号の伝達を行なうためには不可欠である。

また、遅延時間を短くするためにCK、 \overline{CK} の周波数を上げるとコンデンサに蓄積された電荷を伝送しきれずに、残留電荷が生じることになり、SNの悪化、周波数特性の変化をもたらすことになる。

本発明は、この問題を解決するために、 $T_d = n \times \frac{1}{f}$ の f を可変にして遅延時間 T_d を変化させるのではなく、 n を変化させて T_d を変化させるようにしたものである。BBDはICによって段数は決っており、BBDでは実現できない。

は、遅延時間制御信号であり、このパルス信号の“H”レベルと“L”レベルとのデューティ比によって、遅延時間の情報を与える。6-2は6-1のパルス信号を電圧変換手段(抵抗とコンデンサによる積分器)に入力して得られたものであり、-1の“H”レベルのデューティが50%以上であるとDCレベルは上昇する。6-3はこのDCレベルに変換された遅延時間の情報を入力とする電圧に発振周波数の依存する電圧可変発振器の発振周波数である。こうして、BBDの駆動するクロックCK、 \overline{CK} を変化させて遅延時間を変化させていた。

発明が解決しようとする問題点

ところで、従来装置のようにBBDのクロック f を可変することで可変遅延装置を実現すると次の問題が発生する。

短時間で遅延を得ようとするとき f を高くしなければならず、連続的に遅延時間を0にすることは不可能である。

遅延時間を広範囲に可変すると、短時間遅延時

問題点を解決するための手段

そこで本発明は n を変化できるデジタルメモリによって、さらに n を変化した場合の不連続性を認識しにくい適応型デルタ変調器によるデジタル信号処理によって可変遅延時間を実現するようにしたものである。

作用

かかる構成によれば、遅延素子の段数 n は、デジタルメモリの書き込みのアドレス番地 A_w 、読出しのアドレス番地 A_r の差($ABS(A_r - A_w)$)として得られる。この A_r を遅延時間制御信号に応じて発生されたアドレスの増加分、あるいは減少分を全加算器Full Adderによって加減算することで可変することができる。さらに、遅延信号の連続性をそこなわない様に A_r の加減算は徐々に行なうようにする。

実施例

以下、本発明の実施例について第1図にそのブロック図を示し、以下説明する。

1は入力端子、2はアナログからデジタル信

特開平1-149611 (3)

号に変換するADC、3はディジタルメモリ、4は1dだけ記憶(遅延)したディジタル信号をアナログに変換するDAC、5は出力端子である。6はADC2, DAC4を一定間隔Tでサンプリングするためのコントロール信号、7はADC2でディジタル化したデータを一定間隔Tでメモリーに書き込み、読出しするためのタイミング信号(RAS, CAS, WE)を発生する。

入力端子8より遅延時間制御信号が入力されるが、これは現在よりさらに遅延時間を増加させるか、減少させるかの要するI/D信号とその量を表わすACD信号からなる。アドレス発生手段8では現在書き込みを行なうべきアドレスAwをサンプリング周期ごとにインクリメントしながら出力する。10は読出しアドレスArを決定するための全加算器、11は遅延段数Ar-Awを増減させるためのUP/DOWNカウンタ12はカウンタ11の動作を制御するUP/DOWN制御手段である。13は書き込み読出し切換え回路である。14は全システムの制御のための各クロック発生手段

である。

入力端子8より入力された信号は制御手段12によって、遅延時間が増加の場合はアップクロック、減少の場合はダウクロックとして、カウンタ11に入力される。カウンタ11は遅延信号の連続性を保つべく、徐々にアップ、ダウン動作する。こうして、目的の読出しのアドレスArが得られれば、制御手段12によってカウンタ11の動作を停止させて、全加算器10によって一定遅延となり、再度、入力端子8より信号が入力されるまではこの状態を保つ。

以下、具体的に説明する。第2図は連続遅延時間の制御のアドレスについて示したものである。また第3図はディジタルメモリ制御信号の状態を示すものでRAS(ローアドレスストロブ)、CAS(コラムアドレスストロブ)WE(ライトイネーブル)を発生し、なおかつ、アドレスを書込み、読出し用に切換える。いま、ADM(適応型デルタ変調器)のサンプリング周期を1μs、また、遅延時間の標準を1.024(ms)とすると、

書き込みアドレスと読出しアドレスの差は、1024bit分の400(H)となる。これを初期値として、第2図を説明する。(A)は遅延時間の制御信号であり前述のように標準でAc=400(H)となる。次に(B)に示すように、アップダウンカウンタに入力されるが、設定値が変化しない場合はその値400(H)を出力する。(A)しかし、設定値が変化すると、まず、増加あるいは減少かの判断をアップダウンカウンタ制御部が行ない、ある一定時間ごと(ここでは080(H)=128μs)に設定値と同じになるまで、増加、あるいは減少を行なう。(B)そして、この出力信号は全加算器に入力され、書き込みアドレスAwと加算され読出しアドレス値Arを出力する。1μsのサンプル周期に対して、128μsごとのデータの不連続性を生じる可能性があるが、1μsのデータであるが非常に目立たないレベルである。

発明の効果

本発明による連続可変遅延装置によって以下の効果が得られる。

① 遅延時間にかかわらずサンプリングクロックが一定であるため、SN比、f特が変化しない。

② 遅延時間は0からメモリーの大きさにより決定される時間まで連続的に変化する。

4、図面の簡単な説明

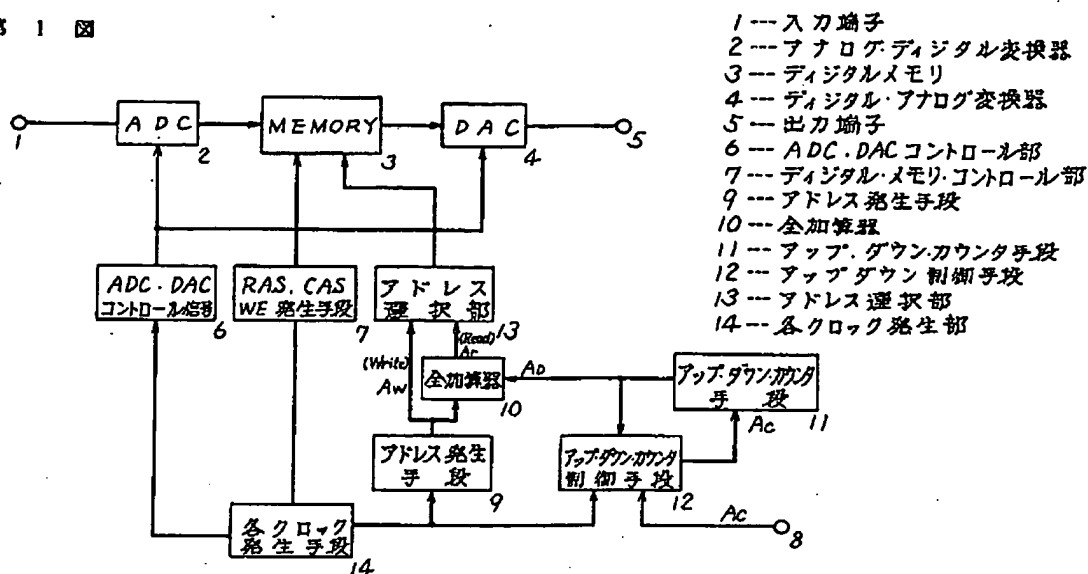
第1図は本発明の連続可変遅延装置の一実施例を示すブロック図、第2図は同連続可変遅延装置のアドレス管理図、第3図は同装置におけるディジタルメモリ制御信号のタイミング図、第4図は従来の可変遅延装置のブロック図、第5図はBBDの原理図、第6図は従来装置における遅延時間制御信号のタイミング図である。

2……アナログ、ディジタル変換器、3……ディジタルメモリ、4……ディジタル、アナログ変換器、5、7……コントロール部、6……アドレス発生手段、10……全加算器、11……アップダウンカウンタ手段、12……制御手段、14……クロック発生手段。

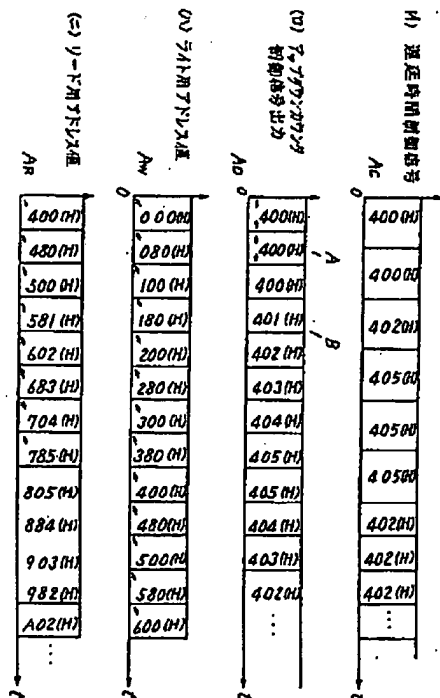
代理人の氏名 弁理士 中 尾 敏 男 ほか1名

特開平1-149611 (4)

第 1 図

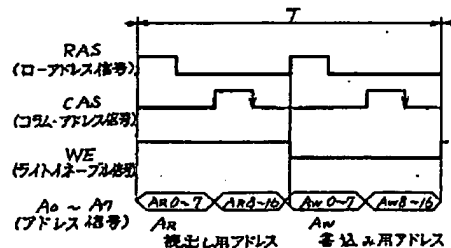


第 2 図

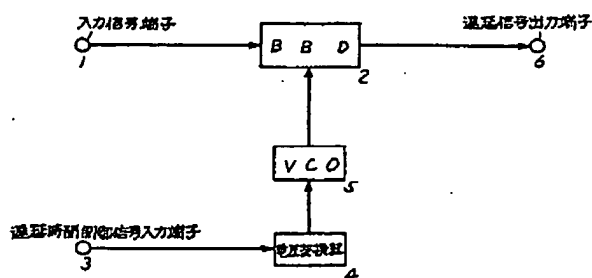


第 3 図

T---サンプリング周期 (μs)

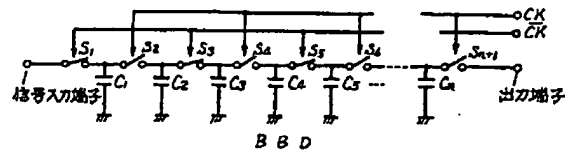


第 4 図

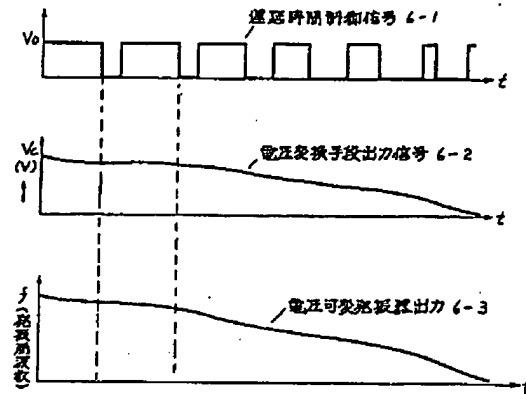


特開平1-149611 (5)

第 5 図



第 6 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.